

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ
ДОНБАССКАЯ ГОСУДАРСТВЕННАЯ МАШИНОСТРОИТЕЛЬНАЯ АКАДЕМИЯ
КАФЕДРА «ЭЛЕКТРОМЕХАНИЧЕСКИЕ СИСТЕМЫ АВТОМАТИЗАЦИИ»

Методические указания
К практическим работам по дисциплине
“ЭЛЕКТРОНИКА И МИКРОСХЕМОТЕХНИКА”
для студентов специальности
«Электромеханические системы автоматизации и электропривод»
дневной формы обучения

КРАМАТОРСЬК 2012

УДК 621-313

Методические указания к практическим работам по дисциплине “ЭЛЕКТРОНИКА И МИКРОСХЕМОТЕХНИКА” для студентов специальности “Электромеханические системы автоматизации и электропривод” дневной формы обучения / Сост. Наливайко А.М., Беш А.Н., – Краматорск: ДГМА, 2012. – 63 с.

Содержит краткие теоретические сведения и указания по выполнению и оформлению практических работ.

Составители:

А.Н. Беш , ст. преподаватель
С.О. Кардаш, студент

Ответственный за выпуск

А.М. Наливайко , доцент

Содержание

1 Практические работы

- 1.1 Практическая работа №1. Моделирование простых электрических цепей
- 1.2 Практическая работа №2. Исследование полевых транзисторов
- 1.3 Практическая работа №3. Исследование усилителя на одном транзисторе
- 1.4 Практическая работа №4. Исследование усилителей и генераторов на ОУ
- 1.5 Практическая работа №5. Исследование аварийных режимов выпрямителей
- 1.6 Практическая работа №6. Моделирование комбинационных устройств
- 1.7 Практическая работа №7. Моделирование триггеров
- 1.8 Практическая работа №8. Моделирование счетчиков
- 1.9 Практическая работа №9. Моделирование ЦАП и АЦП
- 1.10 Практическая работа №10. Моделирование импульсных преобразователей

Литература.....

Приложение.....

2.1 Практическая работа №1. Моделирование простых электрических цепей

2.2 Практическая работа №2. Исследование полевых транзисторов

Цель работы – получение экспериментальным путем входных и выходных характеристик полевых транзисторов, получение навыков работы со справочной литературой.

Порядок выполнения работы

Для данного транзистора, используя справочные данные, определить тип, рисунок и расположение электродов и выписать эксплуатационные параметры.

Составить принципиальную схему для исследования входных и выходных характеристик транзистора в схеме с общим истоком, с учетом его структуры. (Обратить внимание на правильность полярности подключения источников питания).

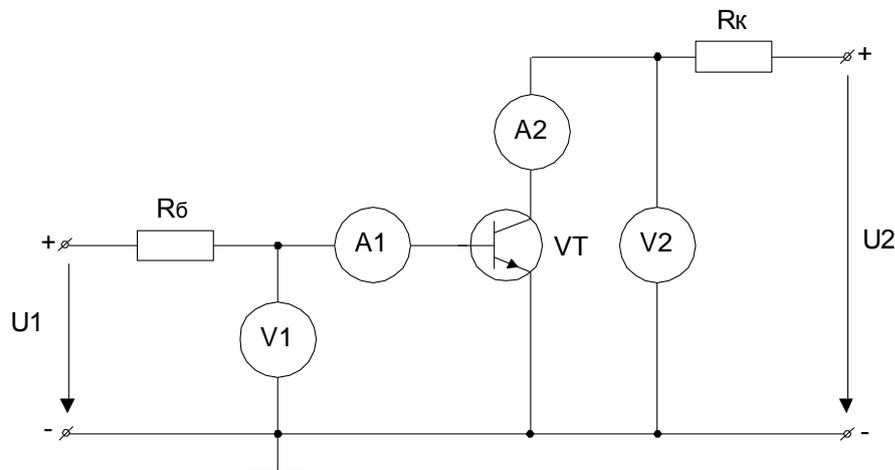


Рисунок 18 — Схема исследования характеристик полевого транзистора

Составить монтажную схему подключения транзистора к макетной плате с учетом соответствия выводов разъема мнемосхеме на стенде: затвор, сток, исток.

Собрать схему для проведения исследования. Для этого с помощью длинных перемычек : коллекторную цепь (короткую перемычку P_k убрать) вывести на наборное поле стенда УИЛС (X5 и X6) и подключить рассчитанное сопротивление R_k последовательно с амперметром; к базовой це-

пи(короткую перемычку П₆ убрать) подключить миллиамперметр (X7 и X8).

Снять семейство входных характеристик $I_B = f(U_{БЭ})$ при:

$$U_{КЭ} = 0;$$

$$U_{КЭ} = 0.1U_{КЭ \max};$$

$$U_{КЭ} = 0.5U_{КЭ \max}.$$

Полученные данные сводим в таблицу 14.

Таблица 14 — Семейство входных характеристик $I_B = f(U_{БЭ})$

$U_{БЭ}, V$	0	0.1	0.2	0.3	0.4	0,5	0,7	1	1,5	2	3	4
I_B при $U_{КЭ} = 0,$ V												
I_B при $U_{КЭ} =$ $k1^* \cdot U_{КЭ \max}, V$												
I_B при $U_{КЭ} =$ $k2^* \cdot U_{КЭ \max}, V$												

* -- задается преподавателем

Снять семейство выходных характеристик $I_K = f(U_{КЭ})$ при:

$$I_B = 0.05I_{B \max};$$

$$I_B = 0.1 I_{B \max};$$

$$I_B = 0.2 I_{B \max}.$$

Для этого изменяя напряжение $U_{КЭ}$ (на макетном поле и контролируя его с помощью прибора) в соответствии с таблицей 14 регистрируют ток коллектора I_K при заданных значениях I_B .

Таблица 14 — Значения тока коллектора

$U_{КЭ}, V$	0	0.2	0.4	0.6	0.8	1.0	2.0	3.0	4.0	5.0	6.0	7.0	8.0	9.0
I_K при $I_B = 0.05 I_{B \max}$, мА														
I_K при $I_B = 0.1 I_{B \max}$, мА														
I_K при $I_B = 0.2 I_{B \max}$, мА														

Указанные значения тока базы могут изменяться в зависимости от используемого транзистора и должны уточняться у преподавателя.

Обработка результатов экспериментов.

Построить графики зависимостей входных и выходных характеристик транзистора, выбрать рабочую точку и рассчитать h-параметры схемы замещения транзистора:

Коэффициент усиления по току $h_{21Э} = \frac{\Delta I_K}{\Delta I_B}$ при $U_{КЭ} = 9 \text{ В}$.

Входное сопротивление $h_{11} = \frac{\Delta U_{БЭ}}{\Delta I_B}$ при $U_{КЭ} = 4,5 \text{ В}$.

Выходную проводимость $h_{22} = \frac{\Delta I_K}{\Delta U_{КЭ}}$.

Содержание отчета

- электрические параметры исследуемого транзистора.
- принципиальную схему для проведения исследований.
- расчет значений резисторов R_B , R_K .
- рисунок и расположение электродов транзистора .
- графики входных и выходных характеристик транзистора.
- расчет значений h - параметров транзистора и сравнить с справочником.

Контрольные вопросы

- 1 К переходам транзистора структуры p-n-p приложены напряжения $U_{БЭ}$ и $U_{КЭ}$, в соответствии с рисунком. Чему равен ток коллектора?
- 2 Какую полярность должно иметь напряжение на базе относительно эмиттера, чтобы транзистор типа n-p-n был открыт?
- 3 В каком диапазоне изменяется коэффициент передачи тока для биполярных транзисторов?
- 4 Какая зависимость называется входной характеристикой транзистора?
- 5 Какая зависимость называется выходной характеристикой транзистора? Что понимается под выражением "семейство выходных характеристик транзистора"?
- 6 Укажите на графике рабочую область выходных характеристик транзистора.
- 7 Объясните название схемы включения транзистора "схема с общим эмиттером".
- 8 Что характеризуют h - параметры транзистора?
- 9 Как изменяется начальный коллекторный ток $I_{К0}$ с повышением температуры?
- 10 Какое утверждение является правильным:
при увеличении температуры параметр h_{21} в диапазоне рабочих температур:
а) увеличивается;

б) не изменяется;

в) уменьшается.

11 По диапазону рабочих частот транзисторы делятся на низкочастотные (до 3 МГц), среднечастотные (3-30 МГц), высокочастотные (30-300 МГц). Что называется граничной частотой передачи тока $f_{ГР}$?

2.3 Практическая работа №3. Исследование усилителя на одном транзисторе

Цель работы: научиться рассчитывать и исследовать усилительный каскад на транзисторе по схеме включения с общим эмиттером.

При выполнении лабораторной работы использовать входные и выходные характеристики транзистора, полученные на предыдущем занятии.

Порядок выполнения лабораторной работы

Составить схему для реализации усилительного каскада сигнала переменного тока по схеме с общим эмиттером, включая разделительные конденсаторы на входе и выходе.

Рассчитать значение резистора в цепи коллектора, исходя из соотношения:

$$R_K = \frac{E_K}{0.5I_{KMAX}}$$

На выходных характеристиках транзистора построить нагрузочную линию для условий:

$$E=E_K, I=0.5I_{KMAX}$$

Выбрать на нагрузочной линии точку покоя, т.е. задать I_{B0}

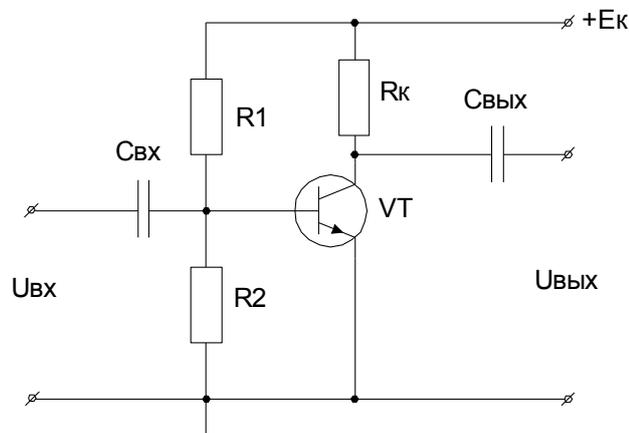


Рисунок 19 — Схема исследования усилительного каскада

По входной характеристике определить входное напряжение на базе, соответствующее $U_{Б0}$.

Собрать схему. С помощью переключателя подключить макетное поле к источнику питания. Ручкой переменного резистора $U_{кэ}$ установить максимально возможное напряжение питания (10-15 В). Ручку переменного резистора $U_{бэ}$ установить в крайнее левое положение (смещение нулевое) или выключить смещение тумблером.

Подключить транзистор к макетному полю, соблюдая расположение электродов выводов транзистора. Включить питание стенда. На выходе блока переменного напряжения установить сигнал синусоидальной формы, частотой 2 кГц и амплитудой 1 В и подключить к макетному полю.

Снять передаточную характеристику усилителя и зарисовать осциллограммы входных и выходных напряжений усилителя в режиме класса А.

Снять передаточную характеристику усилителя и зарисовать осциллограммы входных и выходных напряжений усилителя в режиме класса В.

Установить на выходе блока переменного напряжения сигнал прямоугольной формы той же частоты, амплитудой 4,5 В, смещение выключить. Зарисовать осциллограмму на входе и выходе усилителя. Выключить блок переменного напряжения. Установить ручку переменного резистора $U_{бэ}$ в крайнее левое положение и включить тумблер смещения напряжения. Устанавливая напряжение смещения согласно таблице зарисовать осциллограммы выходных напряжений.

Рассчитать значение конденсатора на входе и выходе, сопротивление которого на частоте исследуемого сигнала будет составлять от 1 до 20 Ом.

При полученных значениях X_C определить амплитуду входного напряжения усилительного каскада, которое будет усиливаться без искажений. При расчете использовать соотношение:

$$U_{oMAX} = 0.5 \cdot E_K \frac{100}{100 + X_C}$$

Контролируя по осциллографу выходное напряжение генератора, выставить его амплитуду на расчетном уровне. Зарисовать диаграмму входного и выходного напряжения.

Уменьшить в два раза амплитуду входного напряжения. Зарисовать осциллограммы входного и выходного напряжения с указанием масштабов по напряжению и по времени.

Содержание отчета

- схему исследования.
- расчет параметров резисторов и конденсаторов.
- диаграммы входного и выходного напряжения.
- график зависимости $U_{\text{вых}} = F(U_{\text{вх}})$.

Контрольные вопросы

- 1 Почему нельзя использовать вместо разделительного конденсатора резистор с таким же эквивалентным сопротивлением?
- 2 Как будет изменяться положение линии нагрузки по постоянному току при изменении R_K от 0 до ∞ ?
- 3 Как перемещается рабочая точка при увеличении температуры транзистора?
- 4 Каким образом должна быть выбрана рабочая точка на линии нагрузки, чтобы усиливалась только одна полуволна синусоидального напряжения?
- 5 Для чего необходима стабилизация точки покоя в усилительном каскаде?
- 6 В каких случаях целесообразно использовать схему транзисторного усилительного каскада с общим коллектором, а в каких с общим эмиттером?

2.4 Практическая работа №4. Исследование усилителей и генераторов на ОУ

2.5 Практическая работа №5. Исследование аварийных режимов выпрямителей

2.6 Практическая работа №6. Моделирование комбинационных устройств

Цель работы: изучить методы синтеза комбинационных схем в потенциальной системе элементов; получить навыки в синтезе, наладки и экспериментальном исследовании синтезируемых схем.

Краткие теоретические сведения

Цифровые устройства (автоматы) служат для обработки информации, представленной цифровыми кодами. На вход цифрового автомата (ЦА) (рисунок 24) подается множество двоичных переменных X (элементы множества $X_1; X_2; \dots; X_p$); а с выхода снимается множество двоичных переменных Y (элементы множества $Y_1; Y_2; \dots; Y_s$). Автомат реализует некоторый оператор преобразования входных переменных в выходные:

$$Y = \lambda(X), \quad (8.1)$$

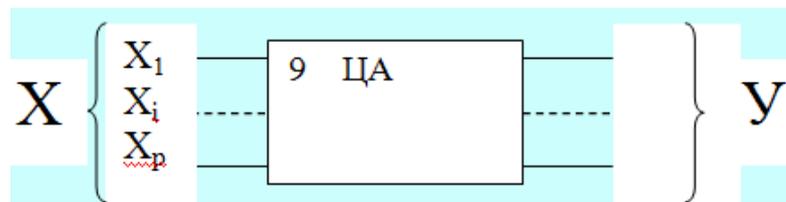


Рисунок 24 — Цифровой автомат

Характер связи входных и выходных переменных с учетом их изменений в автоматном времени служит основанием для деления ЦА на комбинационные и последовательностные.

В комбинационных автоматах значения выходных переменных в каждый момент автоматного времени Y^t однозначно определяются значениями входных переменных X^t в тот же момент времени:

$$Y^t = \lambda(X^t), \quad (8.2)$$

Определение "комбинационный" говорит о том, что значения выходных переменных ЦА определяются комбинациями (различными наборами) входных переменных.

В последовательностных автоматах значения выходных переменных в течение текущего такта определяются значениями входных переменных в течение этого, а также ряда предыдущих тактов:

$$Y^t = \lambda(X^t, X^{t-1}, \dots, X^{t-k}). \quad (8.3)$$

Реализация такого оператора означает, что последовательностные устройства обладают свойством запоминания входных переменных. Память автомата может охватывать произвольное, но обязательно конечное число тактов.

Определение "последовательностный" говорит о том, что значения входных переменных ЦА определяется последовательностью подачи на его вход различных наборов входных переменных.

Цифровые устройства, независимо от сложности реализуемых ими операторов, выполняются на основе простейших комбинационных и последовательностных автоматов, называемых логическими и запоминающими элементами. Совокупность элементов и взаимосвязи между ними определяют структуру автомата. По характеру передачи сигналов от одного элемента к другому различают асинхронные и синхронные логические элементы (автоматы).

В асинхронных элементах (автоматах) изменение входных сигналов влечет за собой изменение выходных; в синхронных - изменение выходных сигналов имеет место только при подаче вспомогательных тактовых (синхронизирующих) импульсов, управляющих работой автомата. Комбинационные автоматы, в которых используются потенциальные элементы, являются асинхронными; последовательностные автоматы с такими же элементами могут относиться к обеим разновидностям.

Задача логического проектирования (синтеза) ЦА, реализующего требуемый оператор связи входных и выходных переменных, состоит в опреде-

лении оптимальной структуры автомата при заданном перечне логических элементов (заданной элементной базы).

Исходные требования к разрабатываемому ЦА формируют обычно в виде словесного описания, которое принято называть содержательным. Определение структуры автомата, удовлетворяющей этому описанию, подразделяют на две части – абстрактный и структурный синтез. В ходе абстрактного синтеза осуществляется переход от содержательного описания автомата к формализованному заданию его оператора в виде графов, таблиц, матриц. В процессе структурного синтеза определяется структурная схема автомата на заданном наборе элементов.

Научной основой этапа структурного синтеза является аппарат алгебры логики (булевой алгебры), который позволяет перейти к заданию оператора в виде формул, а затем упростить последние в соответствии с потребностями определения структуры ЦА.

Логическое проектирование комбинационных устройств

Основные разновидности задач, встречающихся при логическом проектировании комбинационных автоматов, сводятся к следующим:

- проектирование автоматов с одним выходом;
- проектирование автоматов с несколькими выходами;
- проектирование автоматов, свободных от состязаний.

В лабораторной работе будет рассматриваться только первая задача.

Типовой порядок логического проектирования комбинационных устройств с одним выходом включает следующие этапы:

- кодирование входных и выходных переменных и переход от словесного задания оператора к табличному;
 - переход от табличной формы оператора к аналитической в виде СДНФ;
 - упрощение СДНФ оператора и получение его минимальной ДНФ;
 - переход от минимальной ДНФ к минимальной форме в базисе ФПС
- [Набор двоичных функций, который обеспечивает представление любой дру-

гой функции посредством суперпозиции функций этого набора, принято называть функционально полной системой (ФПС)] , реализуемого логическими элементами;

– составление структурной схемы автомата в соответствии с результирующей минимальной аналитической формой оператора. Абстрактный синтез устройства исчерпывается первым этапом; четыре последующих этапа относятся к структурному синтезу.

Пример.

Рассмотрим задачу синтеза автомата, заданного следующим содержательным описанием.

Имеются три датчика, выходные сигналы которых являются двоичными. Используя элементы Шеффера (И-НЕ) необходимо реализовать функцию, принимающую единичное значение, когда единичные значения принимают по меньшей мере два из трех сигналов. Такой ЦА называют мажоритарным элементом или элементом голосования 2 из 3-х.

Число входных переменных автомата, очевидно, равно трем (x_1, x_2, x_3); выходная переменная - одна (Y). Значения $Y = 1$ соответствуют наборам x_1, x_2, x_3 , в которых две или три переменных равны 1; при остальных наборах $Y = 0$. Таблица истинности автомата является полной (таблица 11). Соответствующая ей СДНФ оператора имеет вид:

$$y = \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + x_1 x_2 \bar{x}_3 + x_1 x_2 x_3, \quad (8.4)$$

Таблица Карно оператора (рисунок 18) свидетельствует о возможности попарного склеивания минтермов в (1).

Сокращенная ДНФ не содержит избыточных импликант и является, следовательно, минимальной.

$$y = x_1 x_2 + x_1 x_3 + x_2 x_3, \quad (8.5)$$

Двукратное инвертирование (8.5) приводит к минимальной форме в базисе функций Шеффера приведено в таблице 11.

Таблица 11 — Пример инвертирования

Номер набора аргумента	Наборы аргументов			Y
	X ₁	X ₂	X ₃	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

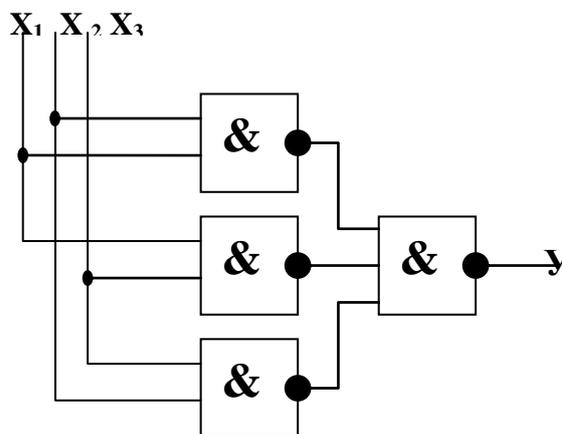
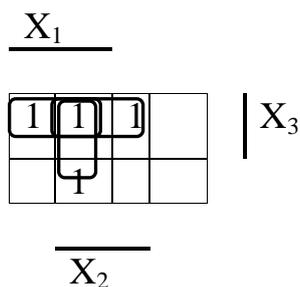


Рисунок 25 — Таблица Карно

Рисунок 26 — Схема автомата

Функциональная схема автомата, соответствующая (17), представлена на рисунке 26

Она включает один трехвходовой и три двухвходовых элемента И-НЕ.

Порядок выполнения работы

По таблице истинности заданной преподавателем студент должен:

Записать реализуемую функцию в СДНФ;

Минимизировать функцию в классе ДНФ с помощью карт КАРНО;

Привести минимальную ДНФ форму к минимальной скобочной форме;

Записать минимальную скобочную форму в базисе, заданном преподавателем (И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ и т.д.);

Нарисовать принципиальную схему, реализующую заданную функцию;

Работоспособность схемы проверить с помощью пакета MULTISIM и учебного стенда.

Варианты заданий

Вариант №1				Вариант №2				Вариант №3				Вариант №4			
X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y
0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	1	1	1	0	1	1	0	0	1	1	0	0	1	1	0
1	0	0	0	1	0	0	1	1	0	0	0	1	0	0	0
1	0	1	0	1	0	1	0	1	0	1	1	1	0	1	0
1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	1
1	1	1	0	1	1	1	0	1	1	1	0	1	1	1	0

Вариант №5				Вариант №6				Вариант №7				Вариант №8			
X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y
0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
0	1	0	1	0	1	0	0	0	1	0	0	0	1	0	0
0	1	1	0	0	1	1	1	0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	1	1	0	0	0	1	0	0	0
1	0	1	0	1	0	1	0	1	0	1	1	1	0	1	0
1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	1
1	1	1	1	1	1	1	0	1	1	1	0	1	1	1	0

Вариант №25

Вариант №2 6

Вариант №27

Вариант 28

X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y	X ₂	X ₁	X ₀	Y
0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	1	1	0	0	0	1	0	0	0
1	0	1	0	1	0	1	0	1	0	1	1	1	0	1	0
1	1	0	0	1	1	0	1	1	1	0	0	1	1	0	1
1	1	1	1	1	1	1	0	1	1	1	0	1	1	1	0

Содержание отчета

- таблица истинности, заданную преподавателем;
- запись функций в СДНФ;
- запись функции в минимальной скобочной форме в заданном базисе со всеми этапами минимизации;
- принципиальную электрическую схему, реализующую заданную функцию, а также временные диаграммы для синтезированной схемы.

Контрольные вопросы

- 1 Что понимается под комбинационным автоматом?
- 2 Что понимают под последовательным автоматом?
- 3 Что такое асинхронные автоматы?
- 4 Что такое синхронные автоматы?
- 5 Что такое синхронный синтез?
- 6 Что такое структурный синтез?
- 7 Что такое минимальная дизъюнктивная нормальная форма?
- 8 Что такое совершенная дизъюнктивная нормальная форма?
- 9 Что такое карты КАРНО и как они могут быть использованы для минимизации формул двоичных чисел?
- 10 Нарисуйте карты КАРНО для 2^x , 3^x , 4^x и 5^x переменных.
- 11 Назовите типовой порядок логического проектирования комбинационных устройств с одним выходом?
- 12 Что такое функционально полная система двоичных функций?

2.7 Практическая работа №7. Моделирование триггеров

Цель работы: исследовать основные структуры триггерных устройств на базе логических элементов И-НЕ, ИЛИ-НЕ. Освоить и закрепить на практике способы построения триггерных схем.

Краткие теоретические сведения

Триггеры - это устройства предназначенные для хранения одного разряда информации. Триггеры имеют два устойчивых состояния:

- состояние "0";
- состояние "1" .

Триггер имеет два выхода прямой и инверсный. Состояние триггера определяется по прямому выходу.

Асинхронный RS-триггер с прямыми входами (рисунок 27):

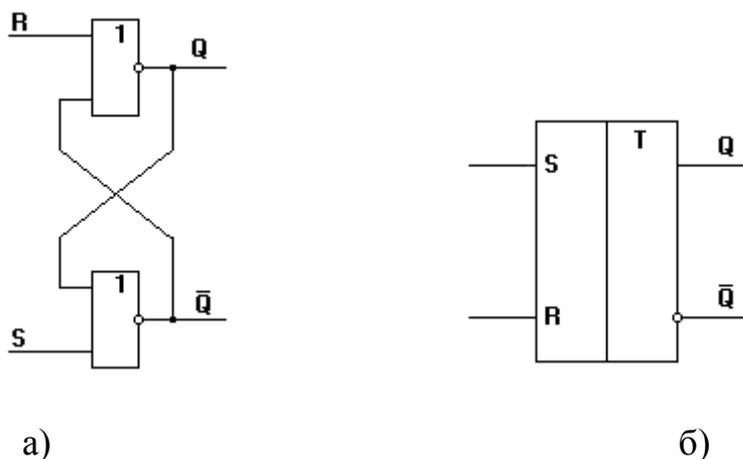


Рисунок 27 — Асинхронный RS-триггер с прямыми входами

Вход R - это вход установки триггера в состояние логического 0, вход S - это вход установки триггера в состояние логической 1. Асинхронным - называется такой триггер, который меняет свое состояние в момент подачи входного сигнала на входы S и R. Активным сигналом для этой схемы является логическая 1.

Асинхронный RS-триггер с инверсными входами:

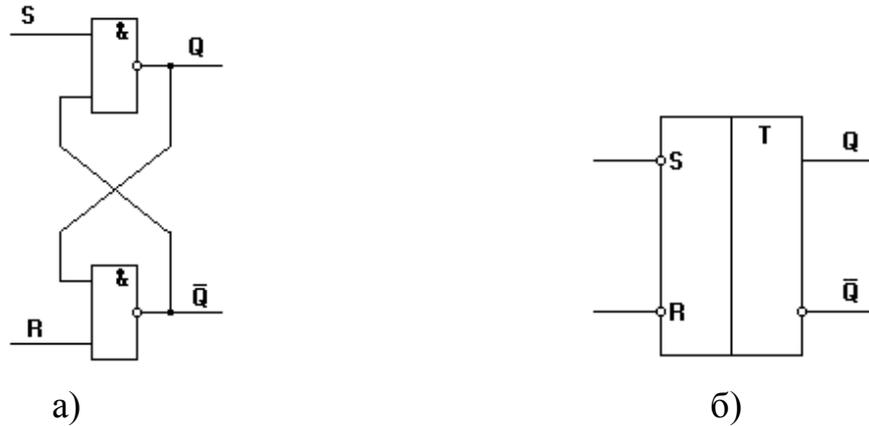


Рисунок 28 - Асинхронный RS-триггер с инверсными входами

Активным сигналом для схемы рисунок 28 является логический 0.

Синхронный RS-триггер

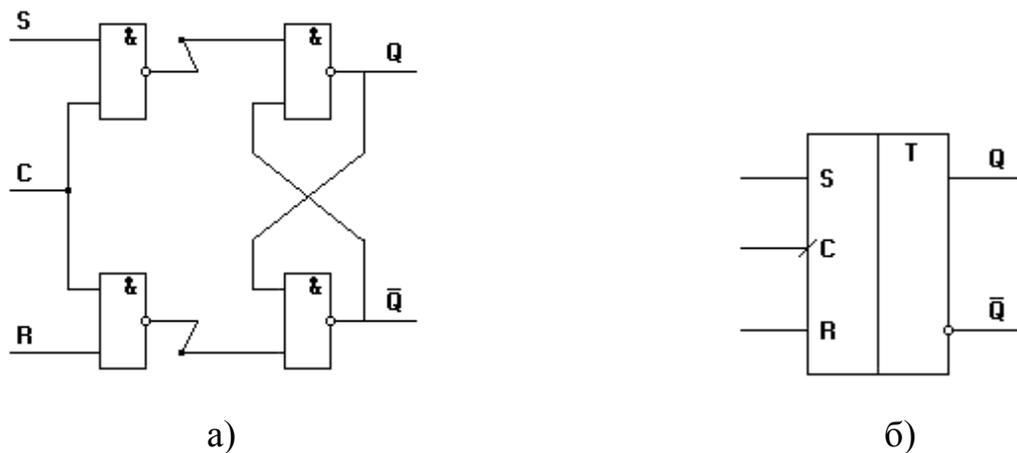


Рисунок 29 - Синхронный RS-триггер

Триггер называется синхронным (рис.29), если у него помимо информационных входов S и R, существует управляющий вход C. Триггер будет менять свое состояние только при логической 1 на входе C. Активным сигналом для этой схемы является логическая 1.

Асинхронный Т-триггер

Это устройство (рис.30) с двумя устойчивыми состояниями и одним информационным входом Т, такой триггер называется асинхронный Т-триггер. Т-триггер работает по заднему фронту информационного сигнала. С приходом 1 на вход Т, триггер меняет свое состояние на противоположное.

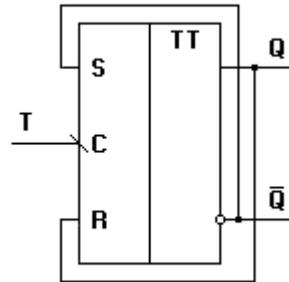


Рисунок 30 - Асинхронный Т-триггер

Синхронный Т- триггер

Переключается синхронно по спаду импульса на входе – С (рисунок 31)

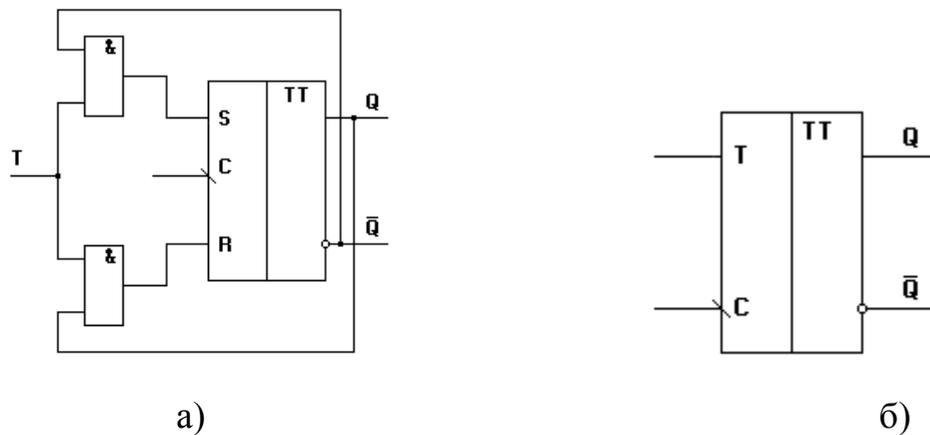


Рисунок 31 - Синхронный Т-триггер

D – Триггер.

D-триггер (триггер задержки) - это устройство с двумя устойчивыми состояниями, и одним информационным входом.

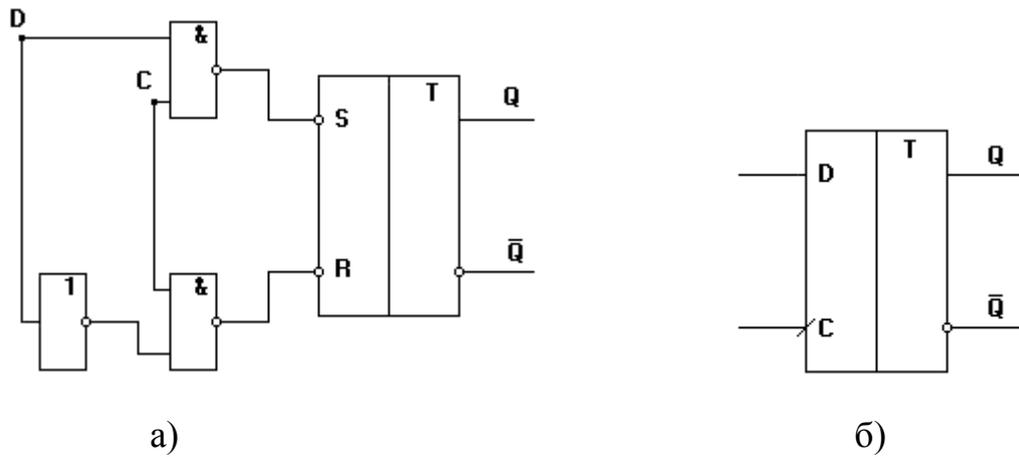


Рисунок 32 - D – Триггер

Однотактный синхронный D-триггер с отдельной установкой в 0 и 1.

Такой триггер (рисунок 33) позволяет универсально создавать последовательные схемы.

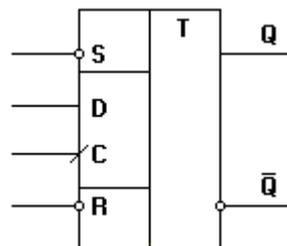


Рисунок 33 — Однотактный синхронный D-триггер с отдельной установкой в 0 и 1

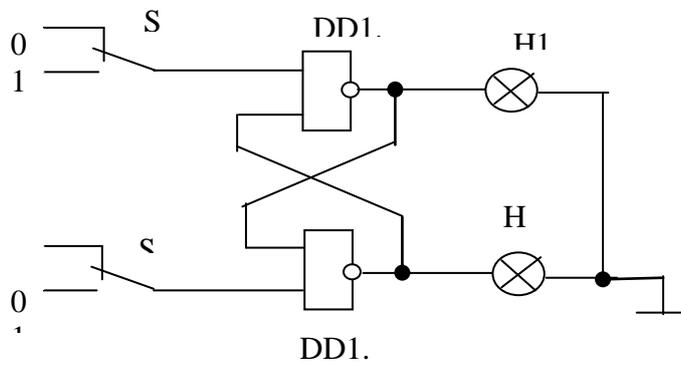


Рисунок 35 — Схема для исследования работы асинхронного RS-триггера

Таблица 12 — Результаты исследований

S	R	Qt+1(прям)	Qt+1(инвер)
0	0		
0	1		
1	0		
1	1		

Исследование работы синхронного RS-триггера. Собрать схему синхронного RS-триггера приведенного на рисунке 36 на элементах 2И-НЕ. Подавая сигналы логических «0» и «1» на его информационные входы, записать таблицу состояний (переходов). В качестве источника импульсов использовать ГОИ, подключенный к входу синхронизации С триггера или тумблеры логических состояний. Индикаторы подключать к прямым и инверсным выходам триггера. Результаты занести в таблицу 13.

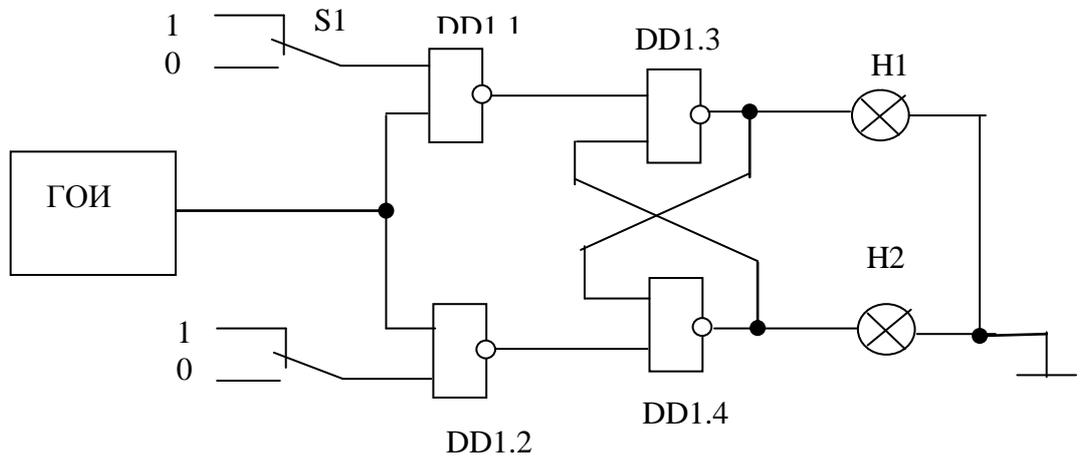


Рисунок 36 — Схема для исследования работы синхронного RS-триггера

Таблица 13 – результаты исследования RS-триггера

C	S	R	Qt+1(прям)	Qt+1(инверс)
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Исследование работы Т-триггера

Собрать схему Т-триггера приведенного на рисунке 37 на элементах 2И-НЕ. Подавая сигналы логических «0» и «1» на его информационные входы, записать таблицу состояний (переходов). В качестве источника импульсов использовать ГОИ, подключенный к входу синхронизации С триггера или тумблеры логических состояний. Индикаторы подключать к прямым и инверсным выходам триггера. Результаты занести в таблицу 14.

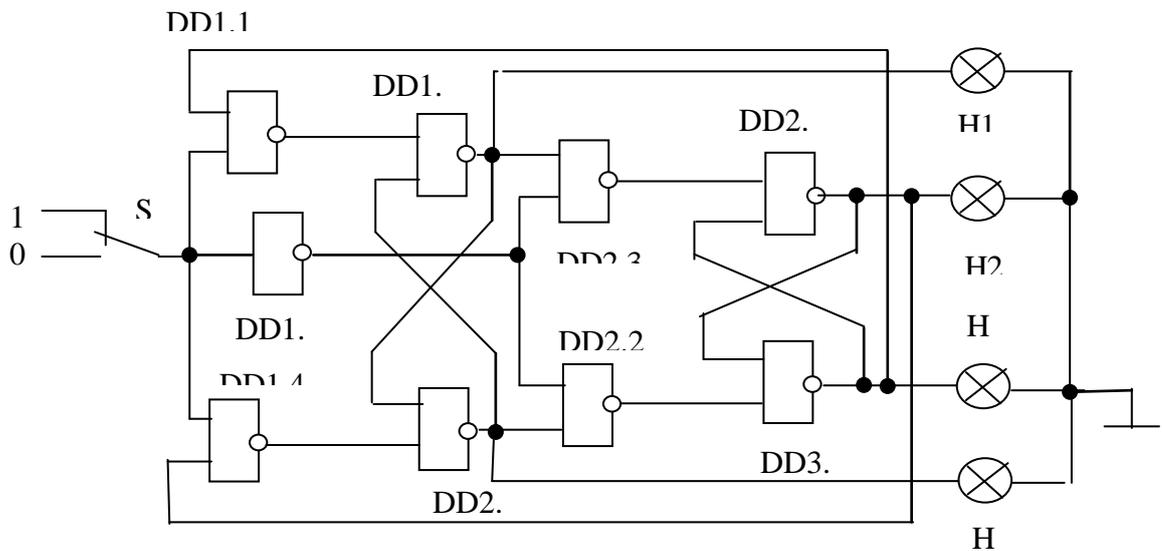


Рисунок 37 — Схема для исследования работы Т-триггера

Таблица 14 – Результаты исследования Т-триггера

С	Qt+1(прям)1	Qt+1(инверс)1	Qt+1(прям)2	Qt+1(инверс)2
0				
1				
0				
1				

Исследование работы D-триггера

Собрать схему D-триггера приведенного на рисунке 38 на элементах И-НЕ. Подавая сигналы логических «0» и «1» на его информационные входы, записать таблицу состояний (переходов). В качестве источника импульсов использовать ГОИ, подключенный к входу синхронизации С триггера или тумблеры логических состояний. Индикаторы подключать к прямым и инверсным выходам триггера. Результаты занести в таблицу 15.

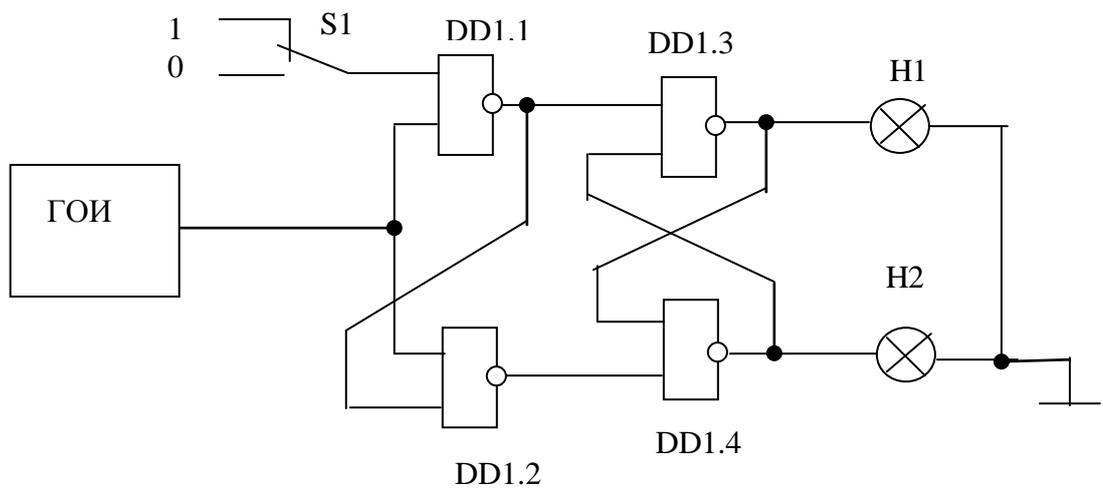


Рисунок 38 — Схема для исследования работы D-триггера

Таблица 15 - Результаты исследования D-триггера

C	D	Qt+1(прям)	Qt+1(инверс)
0	0		
0	1		
1	0		
1	1		

Исследование работы JK-триггера

Собрать схему JK-триггера приведенного на рисунке 39 на элементах И-НЕ. Подавая сигналы логических «0» и «1» на его информационные входы, записать таблицу состояний (переходов). В качестве источника импульсов использовать ГОИ, подключенный к входу синхронизации С триггера или тумблеры логических состояний. Индикаторы подключать к прямым и инверсным выходам триггера. Результаты занести в таблицу 16.

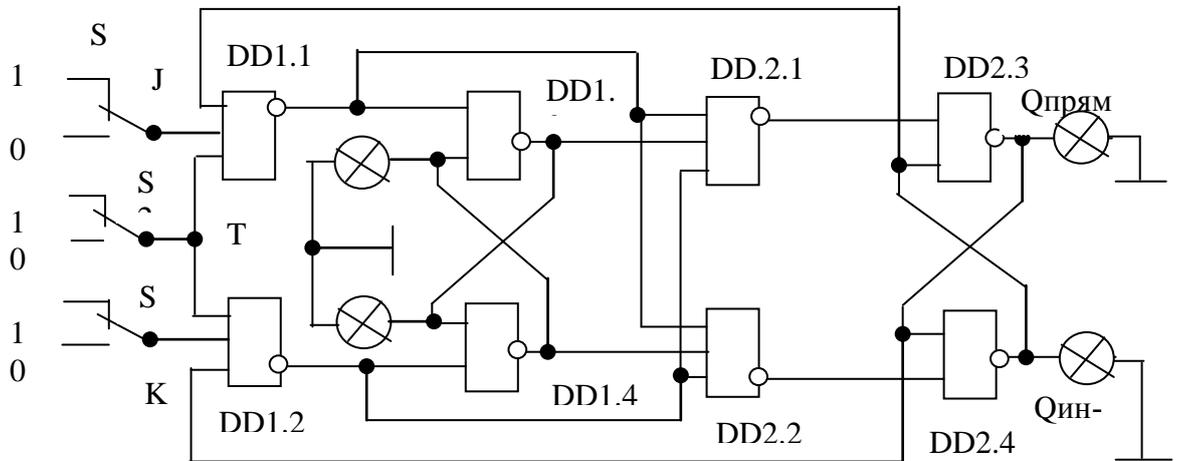


Рисунок 39 — Схема для исследования работы JK-триггера

Таблица 16 — Результаты исследования JK-триггера

Т	J	K	Qt+1(прям)	Qt+1(инверс)
0	0	1		
0	1	0		
1	0	0		
1	1	0		
1	0	1		
1	1	1		

Варианты заданий

1	2	3	4	5	6
Асин RS	Син RS	D	D	Асин RS	Син RS
JK	T	JK	T	T	JK

Содержание отчета

- цель работы.
- схемы исследуемых триггеров.
- таблицы переходов.
- графики входных и выходных сигналов, поясняющих работу триггеров.
- выводы о проделанной работе.

Контрольные вопросы

- 1 Каково функциональное назначение асинхронного RS-триггера?
- 2 Является ли аналогом триггера выключатель настольной лампы?
- 3 Каково функциональное назначение синхронного RS-триггера?
- 4 На основании чего триггер управляется 0 или 1?
- 5 Описать назначение входов R и S триггеров.
- 6 Каково функциональное назначение асинхронного T-триггера?
- 7 Каково функциональное назначение синхронного T-триггера?
- 8 Описать назначение входа T-триггера.
- 9 Каково функциональное назначение D-триггера?
- 10 Почему T- триггер называют счетным?
- 11 Описать назначение входов D-триггера.

12 В чем различие синхронных и асинхронных триггеров?

13 Пояснить суть режимов: установка, сброс, запоминание, запрещенная комбинация, хранение.

14 На каких логических элементах можно реализовать триггерные схемы?

2.8 Практическая работа №8. Моделирование счетчиков

Цель работы: изучение принципов построения счетчиков и пересчетных схем, выполненных на интегральных элементах с потенциальным представлением информации.

Краткие теоретические сведения

Цифровым счётчиком импульсов называют последовательностный цифровой узел, который осуществляет счёт поступающих на его вход импульсов. Результат счёта формируется счётчиком в заданном коде и может храниться необходимое время.

Счётчики строят на Т-триггерах и TV-триггерах с применением при необходимости логических элементов в цепях межразрядных связей. Количество триггеров N должно быть таким, чтобы множество внутренних состояний счётчика 2^N было не меньше максимального числа импульсов, которое должно быть посчитано. С приходом очередного счётного импульса изменяется состояние счётчика, которое в заданном коде отображает результат счёта. Если количество счётных импульсов не ограничивать, то счётчик будет работать в режиме деления их числа на коэффициент (модуль) счёта $K_{сч}$, равный 2^N . Через каждые 2^N импульсов он будет возвращаться в начальное состояние и снова считать импульсы. Если необходимый коэффициент счёта не

равен 2^N , применяют различные способы сокращения числа внутренних состояний счётчика.

Счётчики можно классифицировать по ряду признаков. По направлению счёта их делят на суммирующие (с прямым счётом), вычитающие (с обратным счётом) и реверсивные. По способу организации переноса различают счётчики с последовательным, параллельным и комбинированным (параллельно-последовательным) переносом.

Рассмотрим пример реализации трёхразрядного суммирующего счётчика в коде 4-2-1 с последовательным переносом. Порядок смены состояний счётчика задан таблицей на рисунке 47.

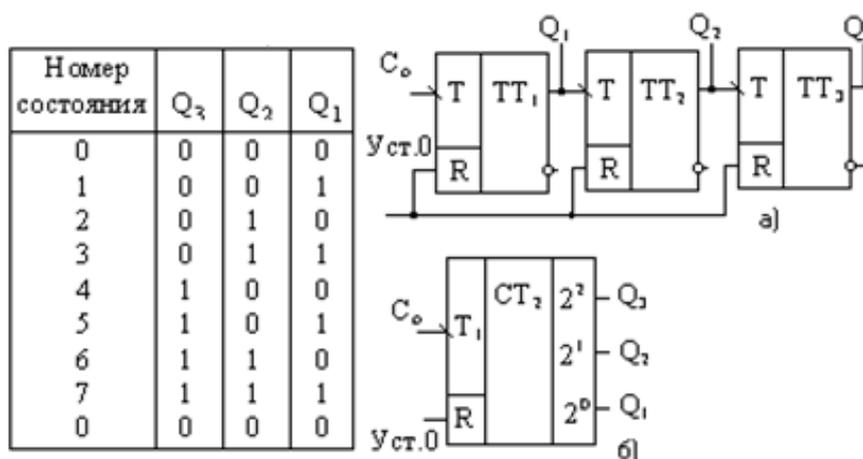


Рисунок — 47 Счетчик с последовательным переносом (а) функциональная схема, (б) условное обозначение

Как следует из таблицы, с приходом очередного счётного импульса к содержимому счётчика прибавляется единица. При этом увеличивается на единицу номер состояния, являющийся десятичным эквивалентом соответствующего данному состоянию двоичного числа.

Изменение состояния каждого последующего разряда происходит при изменении состояния предыдущего разряда от 1 к 0. Это означает, что всякий раз, когда данный триггер в счётчике переходит из состояния 1 в состояние 0, на его выходе должен формироваться сигнал переноса, вызывающий срабатывание следующего триггера. Если же данный триггер переходит из 0 в 1, то сигнала переноса на его выходе не должно быть. Из табл. 1 также следует,

что триггер первого, самого младшего разряда, должен менять своё состояние каждый раз с приходом очередного счётного импульса, а триггер каждого последующего разряда – вдвое реже триггера предыдущего разряда.

Описанный порядок смены состояний счётчика и характер процесса их установления могут быть реализованы, если счётчик будет построен на последовательно соединённых Т-триггерах. Каждый последующий разряд при этом будет переключаться сигналом переноса, формируемым на выходе предыдущего разряда. Счётные импульсы должны быть поданы на вход триггера самого младшего разряда. Счётчики, построенные таким образом, получили название счётчиков с последовательным переносом. Пример трёхразрядного счётчика на Т-триггерах двухступенчатой структуры приведён на рис. 47. Для установки исходного состояния служит шина «Уст.0», цепь которой объединяет R-входы всех триггеров. Нулевое состояние триггеров устанавливается подаваемым по этой шине положительным импульсом напряжения между уровнями 0 и 1. На левом поле условного графического обозначения счётчика (рис. 47,б) показано, что его входом является T_1 -вход первого разряда, а на правом поле указан «вес» каждого разряда.

Вычитающий счётчик с последовательным переносом имеет обратный порядок смены состояний: с приходом очередного счётного импульса содержащееся в счётчике число уменьшается на единицу (таблица на рисунке 48). Другая особенность вычитающего счётчика – триггер каждого последующего разряда переключается в противоположное состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, т.е. при сигнале займа, обратном сигналу переноса в суммирующем счётчике. Строится вычитающий счётчик так же, как суммирующий, но с тем отличием, что входом каждого последующего триггера в отличие от рис.47 соединяется инверсный выход предыдущего триггера.

Из работы трёхразрядного счётчика следует, что в наихудшем случае новое его состояние устанавливается с задержкой, равной утроенной задержке переключения одного триггера, что вызвано последовательным во времени распространением сигнала переноса через все разряды счётчика. Таким образом, в счётчике с последовательным переносом неэффективно использу-

ется быстродействие триггеров, особенно при большом числе разрядов. В этом состоит существенный недостаток счётчиков с последовательным переносом, из-за которого область их применения ограничивается цифровыми устройствами с небольшим числом разрядов и невысоким быстродействием.

Один из широко применяемых способов ускорения переноса в счётчике основан на введении логических элементов, с помощью которых достигается возможность одновременного (параллельного) формирования сигнала переноса для всех разрядов. Для реализации этого способа применяют TV-триггеры. На T-входы всех триггеров одновременно подаются счётные импульсы, а на V-вход каждого триггера поступает сигнал переноса, формируемый логической схемой в виде уровня 1. Триггеры, на V-входе которых имеется сигнал переноса, одновременно переключаются с приходом очередного счётного импульса, и, таким образом, устанавливается новое состояние счётчика. Для определения вида цепи переноса обратимся к уже рассмотренной таблицы рис.47. Из неё следует, что первый разряд, как и в счётчике с последовательным переносом, должен быть построен на T-триггере. Если применяется TV –триггер, то его V–вход следует соединить с T-входом.

Второй триггер перебрасывается в противоположное состояние счётным импульсом при наличии 1 на выходе первого триггера, а третий триггер перебрасывается при наличии 1 на выходах двух предыдущих триггеров. Обобщая эту закономерность на случай N-разрядного счётчика получим, что каждый последующий триггер должен переключиться под воздействием счётного импульса при наличии 1 на выходах всех предыдущих триггеров. Следовательно, для формирования сигнала переноса в каждый разряд счётчика необходимо включить элемент И и соединить его входы с прямыми выходами всех предыдущих разрядов, а выход – с V–входом триггера данного разряда. Пример суммирующего счётчика с параллельным переносом на TV –триггерах приведён на рис.48.

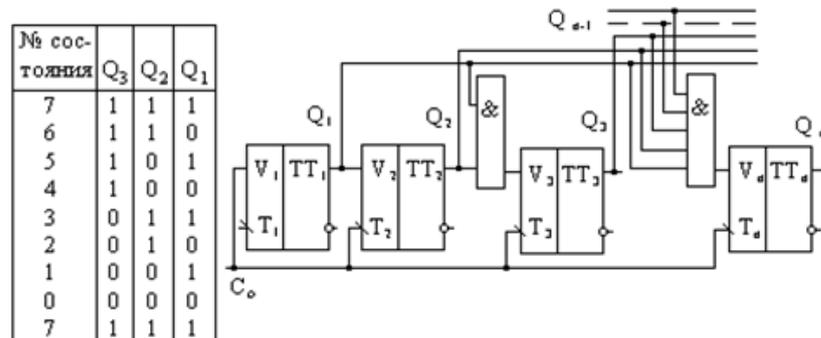


Рисунок 48 — Счетчик с параллельным переносом

Быстродействие этого счётчика выше, чем счётчика с последовательным переносом, поскольку оно равно быстродействию переноса одного разряда. Недостаток – необходимость включения в схему элемента И с нарастающим от разряда к разряду числом входов. Это нарушает регулярность структуры и ограничивает возможность наращивания его схемы. Частично этот недостаток можно устранить при использовании триггеров с входной логикой.

Многие серии микросхем содержат JK-триггеры с входной логикой. Для преобразования JK-триггера в TV-триггер необходимо объединить входы J и K в один, это и будет V-вход. У триггера с тремя конъюнктивно связанными J-входами и тремя конъюнктивно связанными K-входами могут быть образованы, следовательно, три конъюнктивно связанные V-входа. При реализации счётчика на таких триггерах исключаются дополнительные логические элементы в цепях переноса. Однако ограничение в числе разрядов остаётся. На таких триггерах можно построить лишь четырёхразрядный счётчик (рисунок 49).

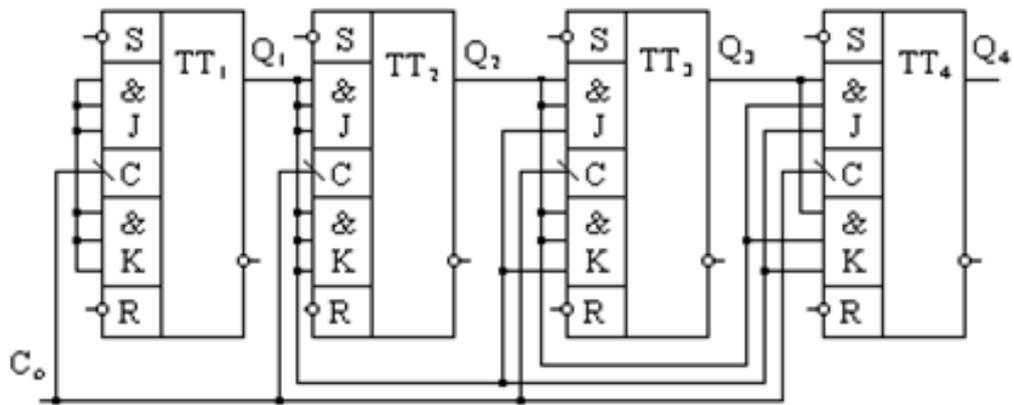


Рисунок 49 — Счетчик на JK-триггерах с входной логикой

Вычитающий счётчик с параллельным переносом строится так же, как и суммирующий, но сигналы переноса снимаются с инверсных относительно используемых в суммирующем счётчике выходов триггеров.

Реверсивный счётчик, объединяющий возможности суммирующего и вычитающего, строится таким образом, чтобы обеспечивалось управление направлением счёта с помощью сигналов разрешения на реализацию операций сложения C_c и вычитания C_v . Поэтому его схема содержит дополнительную комбинационную часть, выполняющую указанную функцию.

Нередко счётчики с параллельным переносом, выпускаемые в виде микросхем, имеют помимо основных выходов — дополнительные, как это показано, например, на рисунок 50.

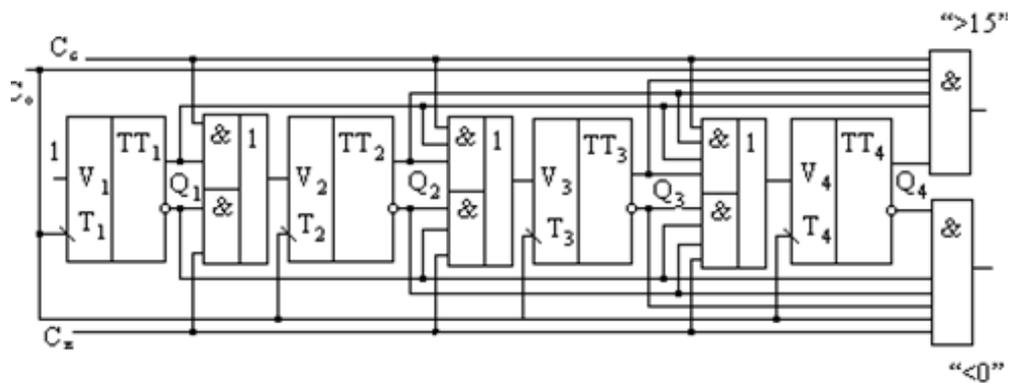


Рисунок 50 — Реверсивный счетчик на TV-триггерах

На одном из выходов, обозначенном «>15», сигнал 1 появляется при заполнении счётчика единицами, т.е. когда он перешёл в состояние с номе-

ром 15. Следовательно, на этом выходе формируется сигнал переноса в следующий счётчик. На другом выходе, обозначенном «< 0», сигнал появляется при заполнении счётчика нулями и является сигналом займа в следующий счётчик в режиме вычитания. Реверсивный счётчик можно построить и на Т-триггерах (рисунок 51).

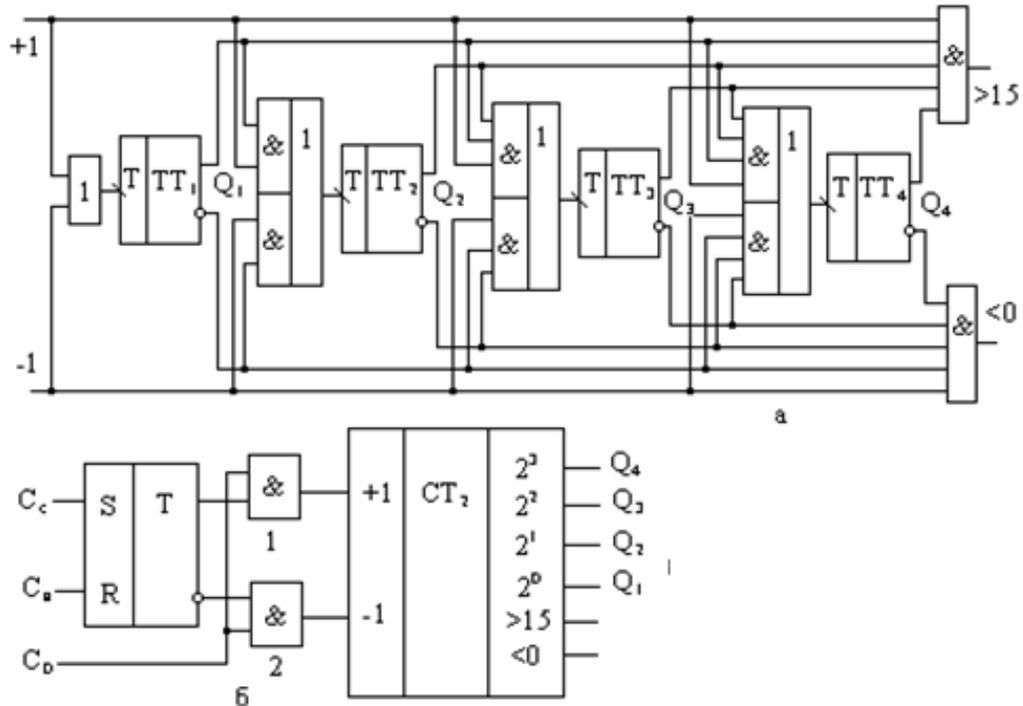


Рисунок 51 — реверсивный счетчик на Т-триггерах, (а) функциональная схема, (б) схема управления направлением счета

Как и в рассмотренном ранее суммирующем счётчике, счётные импульсы поступают на Т-вход триггера через логические элементы только в том случае, если на логических элементах имеются сигналы разрешения с выходов предыдущих разрядов.

В счётчике на рисунок 51,а для счётных импульсов предусмотрены два входа. Если счётчик должен работать в режиме прямого счёта, импульсы следует подавать на вход «+1», в режиме обратного счёта – на вход «-1». При использовании такого счётчика в качестве реверсивного с одним источником импульсов необходимо предусмотреть внешнее устройство коммутации счётных импульсов на суммирующий «+1» либо на вычитающий «-1» входы. Вариант такой коммутирующей приставки к счётчику приведён на

рисунок 51,б. При подаче положительных импульсов на S–вход RS–триггера на его прямом выходе установится единичный уровень, который откроет элемент 1 для счётных импульсов C_0 . Счётчик будет работать в режиме сложения. Если подать положительный импульс на R-вход триггера, откроется для счётных импульсов элемент 2, и счётчик будет работать в режиме вычитания.

Порядок выполнения работы

Включите необходимое программное обеспечение. Соберите схему простейшего суммирующего счётчика с последовательным переносом по рисунку 52.

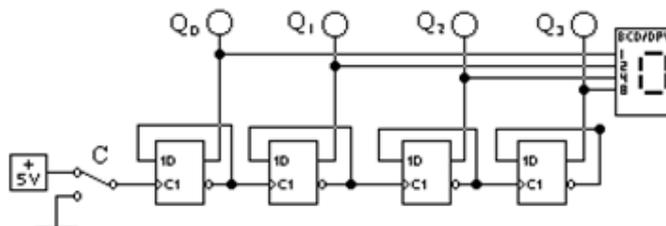


Рисунок 52 — Суммирующий счетчик с последовательным переносом

Для этого следует воспользоваться синхронизируемыми положительным фронтом D–триггерами из контейнера Sequential. Для индикации состояния счётчика в виде десятичного числа используется семисегментный индикатор из контейнера Indicators. Спланируйте эксперимент и постройте временные диаграммы $Q_i = f(C)$ для этой схемы.

Соберите схему простейшего вычитающего счётчика (рис. 53), отличие которого от схемы на рис. 52 в том, что входы синхронизации C1 у 2-го, 3-го и 4-го триггеров соединены не с инверсными, а с прямыми выходами 1-го, 2-го и 3-го триггеров.

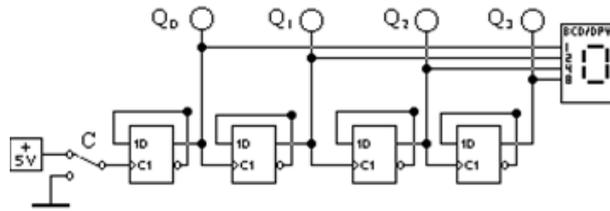


Рисунок 53 — Вычитающий счетчик с последовательным переносом

Спланируйте эксперимент и постройте временные диаграммы $Q_i = f(C)$ для этой схемы. На рис. 54 приведена схема для исследования универсального двоично-десятичного счётчика.

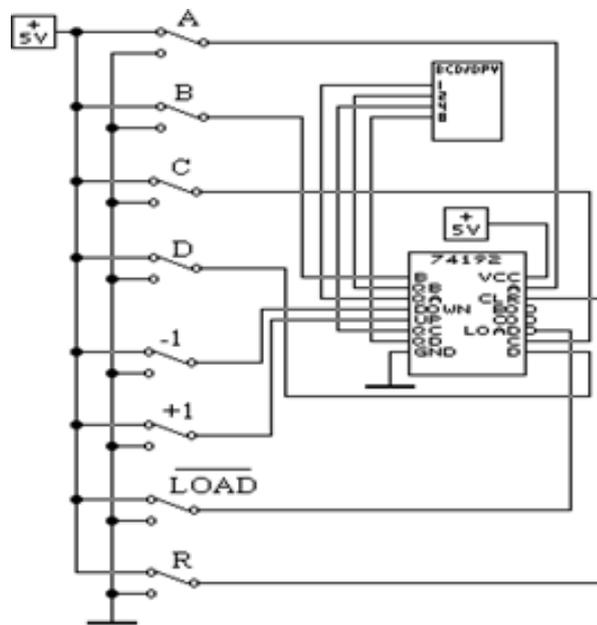


Рисунок 54 — Исследование универсального двоично-десятичного счетчика

На рисунке 54 использованы обозначения:

ABCD – входы для параллельной записи в счётчик двоичного числа ;

Load – (инверсный сигнал) – синхронизация параллельной записи числа в счётчик;

R – установка счётчика в состояние 0000;

+1 – прибавление к содержимому счётчика единицы (положительный фронт);

-1 – вычитание из содержимого счётчика единицы (положительный фронт).

Соберите эту схему, используя счётчик 74192 (4-Bit Up/ Down Counter) из контейнера Sequential в шаблоне CO-UNTERS. Для индикации состояния счётчика в виде десятичного числа используется семисегментный индикатор из контейнера Indicators.

Спланируйте эксперимент и постройте временные диаграммы для различных режимов работы этого счётчика: установка в 0-(R), параллельная запись -(Load), +1 и -1. Постройте графы переходов для счётчика, установленного в начальные состояния 10-(A), 11-(B), 12-(C), 13-(D), 14-(E), 15-(F) при сигналах +1 и -1.

Порядок выполнения работы

Получите у преподавателя задание на проектирование счётчика с параллельным переносом на D-триггерах и нетрадиционным порядком счёта:

1 вариант: счёт – 1,3,7,4,0; 2 вариант: счёт – 0,3,6,4,0;

3 вариант: счёт – 1,3,7,4,8; 4 вариант: счёт – 7,5,3,1,0;

5 вариант: счёт – 0,3,1,4,2; 6 вариант: счёт – 5,7,3,2,0;

7 вариант: счёт – 3,2,1,5,7; 8 вариант: счёт - 2,3,4,1,5.

Соберите схему спроектированного счётчика и исследуйте её на соответствие вашему варианту задания. Постройте граф переходов.

Содержание отчета

- цель работы.
- схемы исследуемых счетчиков.
- граф переходов.
- выводы о проделанной работе.

Контрольные вопросы

- 1 Поясните принципы построения суммирующего и вычитающего счётчиков по таблицам рис.47 и 48.
- 2 Как реализуется параллельное формирование сигнала переноса во всех разрядах счётчика?
- 3 Поясните построение и работу реверсивного счётчика.

4 Как функционируют выходы “>15” и “<0” реверсивного счётчика, каково их практическое применение?

2.9 Практическая работа №9. Моделирование ЦАП и АЦП

2.10 Практическая работа №10. Моделирование импульсных преобразователей